

演算増幅回路製作を通じた半導体・集積回路工学教育の実践

秋山正弘*1 柄澤孝一*1 大平祐介*2 小林良太郎*3

Practice of the semiconductor and integrated circuit engineering education through manufacture of operational amplifier circuits

AKIYAMA Masahiro, KARASAWA Koichi, OOHIRA Yusuke,
and KOBAYASHI Ryotaro

キーワード：演算増幅回路製作，半導体，集積回路，演算増幅回路製作同好会

1. はじめに

1990年頃日本は「電子立国日本」と呼ばれ、世界の半導体素子の50%を超える生産が行われてきた¹⁾。20年経過した今も生産量は少なくなったものの世界第3位の売り上げを誇るルネサスエレクトロニクスや世界第4位の売り上げを誇る東芝など数多くの企業が半導体素子・集積回路を生産している²⁾。また、東日本大震災後の世界的な半導体素子・集積回路不足を通して日本の半導体素子・集積回路が世界的に必要な不可欠である事が証明された³⁾。

さて、長野高専・電気電子工学科では、これらの企業で必要となる半導体・集積回路の知識・技術を身に付けた学生が育つよう教育を行っている。具体的な科目名は「半導体工学」「電気電子材料」「情報機器」である。また、実験実習には「電子デバイス実験」がある。この実習では半導体素子の設計手法・製造プロセス・評価方法を学ぶ。しかし、これらのカリキュラムで学んだ知識・技術を企業で活用するには課題が残る。電子デバイス実験では、単純で解りやすい半導体素子の理解は深められるが、多くの企業で扱っている集積回路を理解するには3つの点で教育内容が不足している。1つ目は「集積回路用CMOSプロセス」である。CMOSプロセスには数百もの工程数が存在する。それらのプロセスは半導体素子単体のものとは大きく違っており集積回路用

プロセスを考慮した設計を行う実習内容が不足している。具体的には、集積回路は必ず素子分離、素子形成、配線形成の3つの工程に分けられ、それぞれのプロセスを深く理解する必要がある。2つ目は「微細化」である。集積回路の集積度を上げる為には素子の微細化が必要不可欠となる。微細な素子は動作が高速になる反面、耐電圧が低く設計が難しくなる。3つ目は「集積度」である。集積度が上がると回路設計を間違えると動作電流による偏った熱分布を持つ事になる。また、素子同士が互いに影響を与えないように配慮する必要がある。これらの教育・実習内容を補うために新しい実験実習が必要となる。そこで我々は、演算増幅回路設計・製作・評価を通じた集積回路教育を検討した。

2. 集積回路試作サービス

我々は大規模集積システム設計教育研究センター(VDEC)を利用した演算増幅回路設計・製作を考えた。VDECは集積回路設計ソフト、また集積回路試作サービスを提供してくれる⁴⁾。VDECはマルチプロジェクトレチクル方式をとっており集積回路のチップサイズ、また製造プロセスをある程度自由に選ぶ事ができる。例えば、最新の製造プロセスでは「製造プロセス:CMOS, 最小サイズ:65nm, PolySi:1層, メタル配線:12層, 電源電圧:1.0-1.2[V]」がある。我々が利用した製造プロセスは「製造プロセス:CMOS, 最小サイズ:180nm, PolySi:1層, メタル配線:5層, 電源電圧:1.8[V], トリプルウェル, アナログ回路向け」である。この製造プロセスを選んだ理由は、プロセスがアナログ回路向けであった事である。我々が目標とする演算増幅回路もアナログ

*1 電気電子工学科准教授

*2 技術室 第二技術班

*3 豊橋技大 情報・知能工学系

原稿受付 2011年5月20日

回路である。また年間試作回数が最も多く、数多くのユーザが参加しており、ユーザから提供された情報が数多くあるのも理由の1つである。これらの設計ソフト、製造プロセス、微細化、集積度は、企業で利用されているものと同じであり、理想的な集積回路教育となる。図1にVDECを通した演算増幅回路設計・製作イメージを示す。高専はVDECからCADソフトを提供してもらい集積回路のシミュレーション①、レイアウト設計を行う②。完成したデータはVDECへ送信する③。VDECは全高専・大学のデータを取りまとめた後、半導体メーカーへまとめたデータを送信する④。半導体メーカーで完成した集積回路は高専へ届けられる⑤。

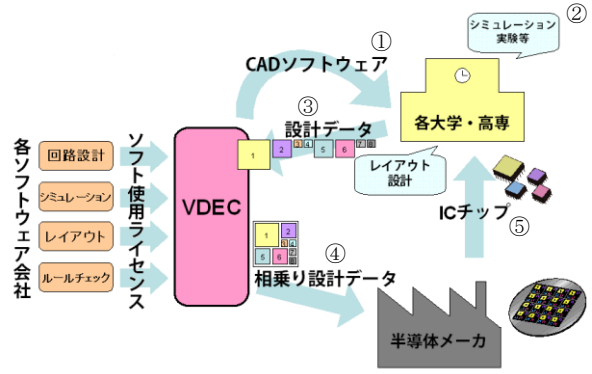


図1 VDECを通した演算増幅回路設計・製作イメージ

3. 演算増幅回路

また、演算増幅回路を選んだ理由は、本回路を構成する回路要素（差動増幅回路、カレント・ミラー回路、バイアス回路、出力回路など）が、他の回路を学ぶ上でも重要な基本回路となるからである⁵⁾。以下に、演算増幅回路設計・製作・評価を3つに分けて説明する。

3-1 演算増幅回路設計

演算増幅回路設計は、シミュレーションによる回路設計とレイアウトによる回路設計の2つに分けられる。使用ソフトはCadence社のVirtuoso Ver. 5.1である。シミュレーションでは利用する半導体素子毎にモデルパラメータを定義する必要があるが、それらもVDECよりある程度のモデルが提供されている。またシミュレータはhspiceを用いている。

今回設計したオペアンプは8個のP型MOS-FETと6個のN型MOS-FET、および2つの抵抗と1つのコンデンサにより構成されたCMOS型のオペアンプである^{6,7)}。回路は大別して以下の4つに分けられている。

- ・スタートアップ回路：バイアス回路を動作させる
- ・バイアス回路：回路全体に安定した電源を供給
- ・差動増幅段：2つの入力の差を増幅する
- ・出力段：出力のゲインとドライブ能力を高める

本実験実習で設計するオペアンプの仕様および目標は以下のように設定した。

- ・電源電圧：V_{pp} 3.3 [V]
- ・GB積：5 [MHz]

図2に演算増幅回路図を示す。

シミュレーションでは、次の評価を行った。

- ・GB積の評価

入力信号：V_{pp} 0.2V, 1kHzの正弦波を印加

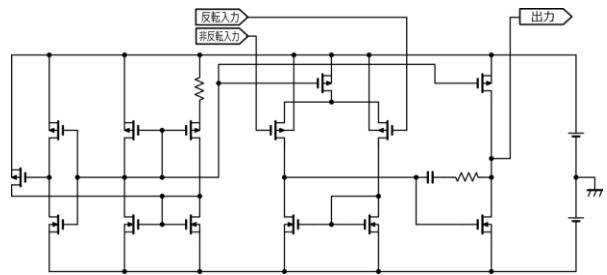


図2 演算増幅回路図

表1 GB積のシミュレーション結果

| | 電源電圧 | GB積(増幅度×遮断周波数) |
|----|----------------------|----------------------------|
| 仕様 | V _{pp} 3.3V | 5Mz 以上 |
| 結果 | V _{pp} 3.3V | 5.010 倍×1.242MHz = 6.22MHz |

表2 波形の頭打ちのシミュレーション結果

| 入力電圧 | V _{pp} 0.2~1.0V |
|--------|--------------------------|
| 上側の頭打ち | 1.6V |
| 下側の頭打ち | -1.2V |

測定回路：非反転増幅回路(増幅度=5倍)

評価対象：GB積(増幅度, 遮断周波数)

- ・波形の頭打ちの評価

入力信号：正弦波を印加(0.2V刻みで増加)

測定回路：非反転増幅回路(増幅度=5倍)

評価対象：出力波形の頭打ち

シミュレーション結果を表1, 表2にそれぞれ示す。表1より仕様を満たす回路設計(シミュレーション)ができたと考えられる。

レイアウトではシミュレーションで設計した内容を実現できるよう各マスクを設計する。各マスクには厳しいデザインルールが用意されている。これらのルールは製造プロセスにより決定されている。例

例えば、配線の太さや間隔が定められている。このルール厳守している事を確認する作業が DRC (Design Rule Check) と呼ばれる。DRC が終わるとレイアウトとシミュレーションでの回路が一致している事を確認する作業がある。これを LVS (Layout Versus Schematic) と呼ぶ。また、レイアウトは MOS-FET 個々のバラつき、回路の発熱や外部の温度変化等を考慮して設計を行う必要がある。対策として、レイアウトに対称性を持たせる事で部品のバラつきや、温度変化による影響を最小限に抑える事ができる。また、ノイズ対策として、実際に配置する部品とまったく同じものを、その周囲に配置するダミーといった手法もある。

これらの作業は夏休みの期間中に 2 週間にわたり行われた。対象学生は演算増幅回路製作同好会の同好会員である。彼らは電気電子工学科 5 年生である。彼らにより生成されたレイアウトを図 3 に示す。

3-2 演算増幅回路製作

演算増幅回路製作は、回路設計時に生成したレイアウト情報を VDEC に送付し、VDEC に依頼する事により、VDEC の提携企業が試作を行ってくれる。試作に必要な期間はプロセスにより異なるが我々がお願いしたプロセスでは 3 カ月間であった。製作過程を学生が体験する事はできないが、製作過程を理解していないと、レイアウトができないため、各学生には事前に十分な指導を行っている。試作された演算増幅回路のパッケージ写真を図 4 に示す。またパッケージ内部のチップ写真を図 5 に示す。そして、演算増幅器に相当する拡大写真を図 6 に示す。

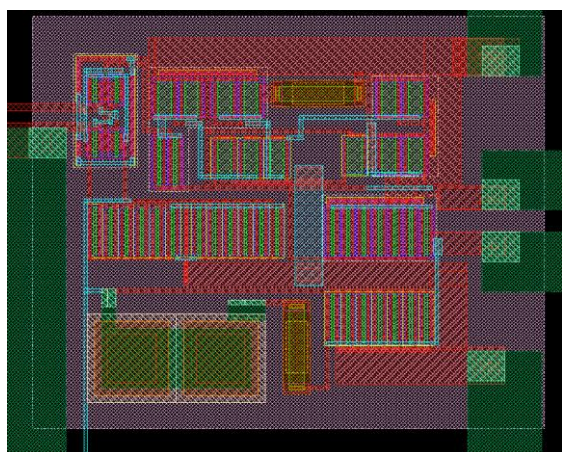


図 3 演算増幅回路設計レイアウト



図 4 演算増幅回路のパッケージ

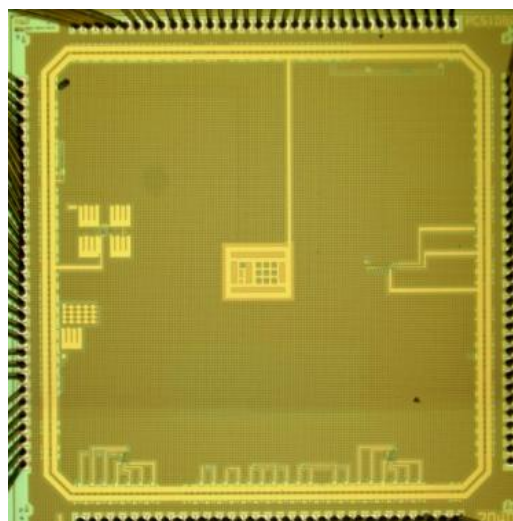


図 5 演算増幅回路パッケージ内部のチップ

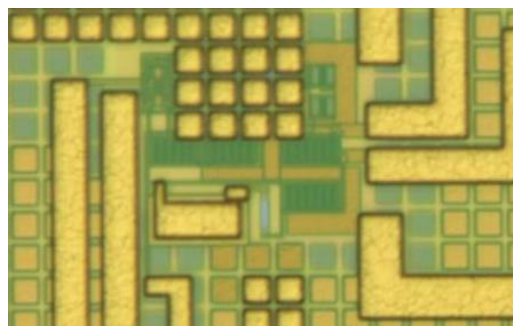


図 6 演算増幅回路チップの拡大

3-3 演算増幅回路評価

演算増幅回路評価は、大きく3つに分かれる。1つ目は、回路を構成する素子の基本特性、2つ目は、基本構成回路の特性評価(差動増幅回路, カレント・ミラー回路, バイアス回路等), 3つ目は演算増幅回路全体の動作評価となる。それぞれを評価した結果を表3に示す。測定の結果正常に動作していない物, 値が大きすぎているものがあった。これらは寄生容量や意図しないpn接合が原因だと思われる。またオペアンプに関しては、大きくノイズの乗った波形にはなるものの反転増幅回路, 非反転増幅回路での動作を確認することができた。このノイズは、スタートアップ回路の発振, 動作点のズレが原因と思われる。

4. まとめ

演算増幅回路の設計・製作・評価には多くの時間が必要となったが、目的である「演算増幅回路設計・製作・評価を通じた集積回路教育」を実践する事ができた。また本教育を通して課題であった「プロセス」「微細化」「集積度」についての教育を十分行う事ができ、集積回路を扱う企業へ就職を希望する学生に対しても十分な知識・技術を身につけさせる事ができた。これより集積回路工学の教育として理想的な実験実習であったと考えている。また、他高専では半導体素子や集積回路への理解を深めるため様々なツールを利用している⁸⁻¹²⁾。このようなカリキュラムも今後考えていきたい。

5. 謝辞

今回の実験実習を行うにあたり、平成22年度・豊橋技術科学大学・高専連携教育研究プロジェクト(課題名:ものづくりを重視した総合的実践的な情報教育システムの構築, 及び、高専本科生向け短期集中型情報教育カリキュラムの構築)の経費より支出していただきました。ここに記し、深く感謝いたします。なお、本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

表3 構成要素・基本構成回路およびオペアンプの測定結果

| | 設計値 | 測定結果 |
|----------|--------------------------|-------------------------|
| 抵抗 | 4 k Ω | 4.019 k Ω |
| コンデンサ | 0.2 pF | 7.705 pF |
| NMOS-FET | V _{th} :0.508V | V _{th} :0.742V |
| PMOS-FET | V _{th} :-0.826V | 正常に動作せず |
| バイアス回路 | 239.5 mV | 288.0 mV(平均) |
| オペアンプ | GB積 \geq 5MHz | GB積 \geq 2.56MHz |
| ディスクリート版 | GB積 \geq 5MHz | GB積 = 16kHz |

参考文献

- 1) 電子立国 日本の自叙伝 第1回, NHK エンタープライズ(2009)
- 2) 日経業界地図, 日本経済新聞社, p. 58(2011)
- 3) 日刊工業新聞(2011. 3. 25)
- 4) 浅田邦博, VDEC IP プロジェクトの現状と今後の展望, Information Processing Society of Japan, Vol. 103, p. 1(2001)
- 5) 吉澤浩和, CMOS OP アンプ回路実務設計の基礎, CQ出版, p. 10(2001)
- 6) 吉田晴彦, CMOS アナログ IC 回路の実務設計, CQ出版社, pp. 136-147 (2010)
- 7) 谷口研二, CMOS アナログ IC 回路入門, CQ出版社, pp. 109-126 (2005)
- 8) 知念幸勇, 総合的な LSI 回路集合教育システムの構築, 論文集「高専教育」, 第30号, pp. 323-327(2007. 3)
- 9) 原田寛治, OHP シートを用いたフォトマスクの作製, 論文集「高専教育」, 第31号, pp. 85-88(2008. 3)
- 10) 臼井敏男, 半導体デバイス教育の遠隔操作実験教材開発, 論文集「高専教育」, 第22号, pp. 85-88(1999. 3)
- 11) 宮井幸男, 集積回路技術の実験実習教育, 論文集「高専教育」, 第19号, pp. 146-149(1996. 3)
- 12) 葉山清輝, スパッタ法を用いた効率的半導体デバイス実験の実現, 論文集「高専教育」, 第21号, pp. 137-142(1998. 3)